

**THOMSON**  
DELPHION

RESEARCH

PRODUCTS

INSIDE DELPHION

[Introduction](#) | [Products](#)
[Patents](#) | [Company](#) | [Contact Us](#)

## The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)

Tools: Add to Work File: [Create new Work File](#)

View: [INPADOC](#) | Jump to: [Top](#) | Go to: [Derwent...](#)

☒ Email this to a friend

**Title:** JP4312943A2: METHOD OF MOUNTING SEMICONDUCTOR CHIP

**Country:** JP Japan

**Kind:** A

**Inventor:** SAITO KOICHI;

**Assignee:** CASIO COMPUT CO LTD  
[News, Profiles, Stocks and More about this company](#)

**Published / Filed:** 1992-11-04 / 1991-03-14

**Application Number:** JP1991000073670

**IPC Code:** [H01L 21/66](#); [G01R 31/26](#);

**Priority Number:** 1991-03-14 JP1991000073670

**Abstract:**

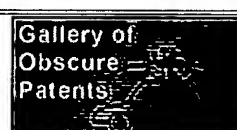
**PURPOSE:** To raise the productivity by improving the efficiency in semiconductor chip quality judgment work and deleting the repair process.

**CONSTITUTION:** A plurality of semiconductor chips 4 are mounted on a relatively large sub board 3a, and in this condition, burn-in process is performed. Then, the external connection terminal 41 of the sub board 3a is connected electrically to a tester, and the test for quality judgment is performed to judge each quality of a plurality of semiconductor chips 4. Then, the sub board 3a is cut along a scribe line 42, and next, a semiconductor module consisting of the cut sub loaded with a semiconductor chip 4 being judged acceptable is loaded on the main board. Therefore, there is no necessity to judge whether the semiconductor chip 4 is good or bad after mounting the semiconductor module on the main board, and the burn-in and the test are finished in one operation, and also the repair process of replacing a defective semiconductor chip with a good article becomes needless.

**COPYRIGHT:** (C)1992,JPO&Japio

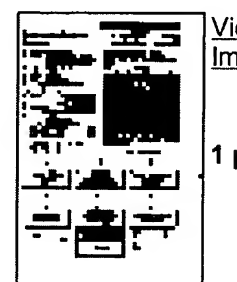
**Family:** None

**Other Abstract Info:** DERABS G92-418810 DERG92-418810



[Nominate](#)

[this for the Gallery...](#)



View  
Image

11

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-312943

(43) 公開日 平成4年(1992)11月4日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66	D	7013-4M		
G 0 1 R 31/26	H	8411-2G		
H 0 1 L 21/66	H	7013-4M		

審査請求 未請求 請求項の数1(全4頁)

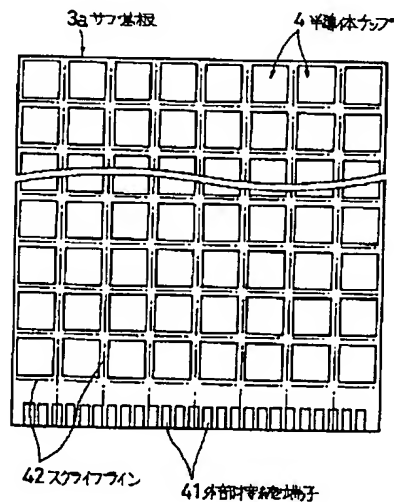
(21) 出願番号	特願平3-73670	(71) 出願人	000001443 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(22) 出願日	平成3年(1991)3月14日	(72) 発明者	斉藤 浩一 東京都青梅市今井3丁目10番地6 カシオ 計算機株式会社青梅事業所内
		(74) 代理人	弁理士 杉村 次郎

(54) 【発明の名称】 半導体チップの実装方法

(57) 【要約】

【目的】 半導体チップ良否判定作業効率の向上を図るとともにリペア工程を削除することにより生産性を上げる。

【構成】 比較的大きなサブ基板3aの上面に半導体チップ4を複数搭載し、この状態でバーンイン工程を行う。この後、サブ基板3aの外部接続端子41をテスト装置と電気的に接続し、良否判定のためのテストを行い、複数の半導体チップ4の各良否を判定する。この後、スクライブライン42に沿ってサブ基板3aを切断し、次いで良品と判定された半導体チップ4の搭載された切断サブ基板からなる半導体モジュールをメイン基板の上面に搭載する。このため、半導体モジュールをメイン基板の上面に搭載した後に半導体チップ4の良否を判定する必要がなく、バーンインおよびテストが1回で済むとともに、半導体チップ4の不良品を良品と交換するリペア工程が不要となる。



## 【特許請求の範囲】

【請求項1】 上面電極、下面電極およびこれらの電極を接続するスルホールを多数備えたサブ基板の上面に複数の半導体チップを前記上面電極に接続させて搭載し、次いで前記複数の半導体チップの良否を判定し、次いで前記サブ基板を切断し、次いで良品と判定された1または複数の半導体チップの搭載された切断サブ基板からなる半導体モジュールをメイン基板の上面に前記切断サブ基板の前記下面電極を前記メイン基板の上面に設けられた電極に接続させて搭載することを特徴とする半導体チップの実装方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は半導体チップの実装方法に関する。

## 【0002】

【従来の技術】 例えばフリップチップ方式と呼ばれる半導体チップの実装技術では、半導体チップを基板の上面に、半導体チップの下面に設けられたパンプ電極を基板の上面に設けられた電極に半田を介して接合させて、搭載するようにしている。

【0003】 ところで、このような半導体チップの実装技術では、例えば125℃の温度下で24時間のバーンイン工程を終えた後に半導体チップの良否を判定する場合、半導体チップを単体の状態で良否判定のためのテスト装置と電気的に接続するのが極めて困難である関係から、一般に、半導体チップを基板に搭載し、この状態でバーンイン工程を行い、この後基板をテスト装置と電気的に接続して良否判定のためのテストを行っている。

## 【0004】

【発明が解決しようとする課題】 しかしながら、従来のこのような半導体チップの実装技術では、テストの結果半導体チップが不良品と判定された場合、不良品と判定された半導体チップを新たな半導体チップと交換するリペア工程を実施し、この後再度バーンインおよびテストを行うこととなり、しかもこの再度のバーンインおよびテストによって半導体チップが良品と判定されるとは限らず、また基板に複数の半導体チップが搭載され、そのうちの少なくとも1つが不良品と判定された場合、良品の半導体チップについてバーンインおよびテストが重複されることとなり、したがって半導体チップ良否判定作業効率が極めて悪く、コスト高になってしまうという問題があった。この発明の目的は、半導体チップ良否判定作業効率の向上を図ることのできる半導体チップの実装方法を提供することにある。

## 【0005】

【課題を解決するための手段】 この発明は、上面電極、下面電極およびこれらの電極を接続するスルホールを多数備えたサブ基板の上面に複数の半導体チップを前記上面電極に接続させて搭載し、次いで前記複数の半導体チ

ップの良否を判定し、次いで前記サブ基板を切断し、次いで良品と判定された1または複数の半導体チップの搭載された切断サブ基板からなる半導体モジュールをメイン基板の上面に前記切断サブ基板の前記下面電極を前記メイン基板の上面に設けられた電極に接続させて搭載するようにしたものである。

## 【0006】

【作用】 この発明によれば、サブ基板に複数の半導体チップを搭載しているので、この状態でバーンイン工程を行い、この後サブ基板をテスト装置と電気的に接続して良否判定のためのテストを行うことができ、しかも複数の半導体チップの良否を判定した後にサブ基板を切断し、次いで良品と判定された1または複数の半導体チップの搭載された切断サブ基板からなる半導体モジュールをメイン基板の上面に搭載しているので、この後に半導体チップの良否を判定する必要がなく、したがってバーンインおよびテストが1回で済むばかりでなく、半導体チップの不良品を良品と交換するリペア工程が不要となり、ひいては半導体チップ良否判定作業効率の向上を図ることができる。

## 【0007】

【実施例】 図1はこの発明の一実施例における半導体チップの実装方法によって実装された半導体チップの実装構造を示したものである。そこで、まず、図1に示す半導体チップの実装構造について説明する。

【0008】 図1に示す半導体チップの実装構造では、セラミックや樹脂等からなるメイン基板1の上面に半導体モジュール2が搭載されている。メイン基板1は、上面に電極11が複数設けられた構造となっている。半導体モジュール2は、セラミックや樹脂等からなる切断サブ基板3の上面に半導体チップ4が搭載された構造となっている。切断サブ基板3は、上面に上面電極21が複数設けられ、下面に下面電極22が複数設けられ、それぞれ対応する上面電極21と下面電極22とがスルホール23によって接続された構造であって、下面電極22がメイン基板1の電極11に半田24を介して接合されているとともに、この接合部分を封止樹脂25によって封止された状態で、メイン基板1の上面に搭載されている。半導体チップ4は、下面にパンプ電極31が複数設けられた構造であって、パンプ電極31が切断サブ基板3の上面電極21に半田32を介して接合されているとともに、この接合部分を封止樹脂33によって封止された状態で、切断サブ基板3の上面に搭載されている。

【0009】 次に、図1に示すように実装する場合について説明する。この場合には、まず図2に示すように、サブ基板3aとして、半導体チップ4を複数搭載することができるよう、ある程度大きいものを用意する。このサブ基板3aにおける半導体チップ4の実装構造は、基本的には図1に示す切断サブ基板3と同様の実装構造であるが、図示しないテスト装置と電気的に接続するこ

3

とができるようになっている。このため、サブ基板3aの上面の一端部には複数の外部接続端子41が設けられ、また図示していないが、サブ基板3aの上面には外部接続端子41と上面電極21(図1参照)とを接続する配線が設けられている。この場合の外部接続端子41の数は、配線をすべての半導体チップ4に対して共有化することにより、半導体チップ4の搭載数をAとし、半導体チップ4のバンパ電極31の数をBとすると、例えば(A+B-1)とかなり少ない数で済む。

【0010】次に、サブ基板3aの上面に半導体チップ4を図1に示す要領で複数搭載する。そして、この状態において、例えば125℃の温度下で24時間のバーンイン工程を行う。この後、サブ基板3aの外部接続端子41をテスト装置と電気的に接続し、良否判定のためのテストを行い、複数の半導体チップ4の各良否を判定する。複数の半導体チップ4の各良否を判定したら、サブ基板3aを1または複数の所定個所の半導体チップ4ごとに切断するための前処理として、図2において一点鎖線で示すように、サブ基板3aの上面にスクライブライン42を施す。同図においては、1個の半導体チップ4ごとに切断する場合を示した。次に、スクライブライン42に沿ってサブ基板3aを切断し、図1に示すように、例えば1個の半導体チップ4が搭載された切断サブ基板3からなる半導体モジュール2を複数形成する。このようにして得られた半導体モジュール2では、既にバーンインおよびテストを終えて半導体チップ4の良否が判定しているの、良品のみを選別する。次に、良品と判定された半導体チップ4を備えた半導体モジュール2を、図1に示すように、メイン基板1の上面に搭載する。

【0011】このように、この半導体チップの実装方法では、切断前のサブ基板3aに複数の半導体チップ4を搭載しているの、この状態でバーンイン工程を行い、この後サブ基板3aをテスト装置と電気的に接続して良否判定のためのテストを行うことができ、しかも複数の半導体チップ4の良否を判定した後にサブ基板3aを切断し、次いで良品と判定された半導体チップ4の搭載された切断サブ基板3からなる半導体モジュール2をメイン基板1の上面に搭載しているの、この後に半導体チップ4の良否を判定する必要がなく、したがってバーンインおよびテストが1回で済むばかりでなく、半導体チップ4の不良品を良品と交換するリペア工程が不要となり、ひいては半導体チップ良否判定作業効率が向上し、コストの低減を図ることができる。

【0012】なお、上記実施例では、切断サブ基板3の

4

下面電極22をメイン基板1の電極11に半田24を介して接合するとともに、この接合部分を封止樹脂25によって封止しているが、これに限定されるものではない。例えば、図3に示すように、異方導電性接着剤51により、切断サブ基板3の下面電極22をメイン基板1の電極11に接合するとともに、この接合部分を封止するようにしてもよい。また、図示していないが、同じく異方導電性接着剤により、半導体チップ4のバンパ電極31をサブ基板3aの上面電極21に接合するとともに、この接合部分を封止するようにしてもよい。

【0013】

【発明の効果】以上説明したように、この発明によれば、サブ基板に複数の半導体チップを搭載しているの、この状態でバーンイン工程を行い、この後サブ基板をテスト装置と電気的に接続して良否判定のためのテストを行うことができ、しかも複数の半導体チップの良否を判定した後にサブ基板を切断し、次いで良品と判定された1または複数の半導体チップの搭載された切断サブ基板からなる半導体モジュールをメイン基板の上面に搭載しているの、この後に半導体チップの良否を判定する必要がなく、したがってバーンインおよびテストが1回で済むばかりでなく、半導体チップの不良品を良品と交換するリペア工程が不要となり、ひいては半導体チップ良否判定作業効率が向上し、コストの低減を図ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例における半導体チップの実装方法によって実装された半導体チップの実装構造を示す断面図。

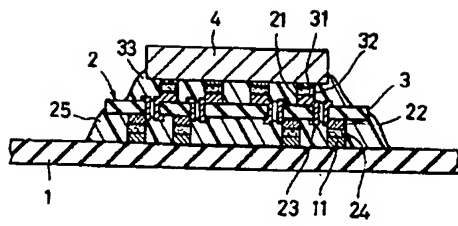
30 【図2】サブ基板の上面に複数の半導体チップが搭載された状態を示す平面図。

【図3】この発明の他の実施例における半導体チップの実装方法によって実装された半導体チップの実装構造を示す断面図。

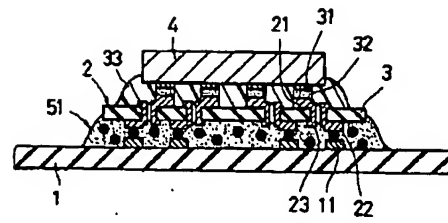
【符号の説明】

- 1 メイン基板
- 2 半導体モジュール
- 3 切断サブ基板
- 3a サブ基板
- 40 4 半導体チップ
- 11 電極
- 21 上面電極
- 22 下面電極
- 23 スルホール
- 31 バンパ電極

【図1】



【図3】



【図2】

